

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

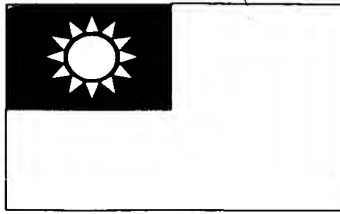
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日 期：西元 2003 年 06 月 12 日
Application Date

申 請 案 號：092210725
Application No.

申 請 人：威盛電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2004 年 1 月 30 日
Issue Date

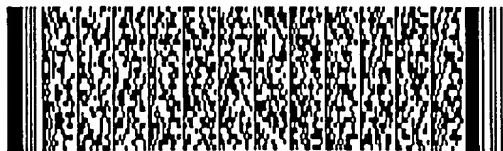
發文字號：09320080060
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中文	主機板
	英文	
二、 創作人 (共2人)	姓名 (中文)	1. 余龍昆 2. 吳耀輝
	姓名 (英文)	1. Long-Kun Yu 2. Yao-Hui Wu
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路533號8樓 2. 台北縣新店市中正路533號8樓
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1.



0608_9423twf(nl);V:003_0011;RITA.prd

四、中文創作摘要 (創作名稱：主機板)

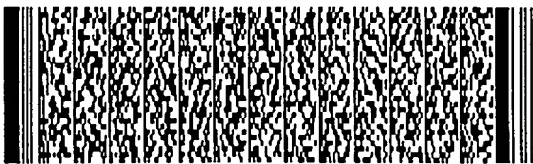
一種主機板，包括：一印刷電路板；一第一記憶體插槽組，設置於上述印刷電路板，具有一第一記憶體插槽和一第二記憶體插槽；一第二記憶體插槽組，設置於上述印刷電路板，具有一第三記憶體插槽和一第四記憶體插槽；以及一終端電路模組，設置於上述第一記憶體插槽組與上述第二記憶體插槽組之間，其中上述終端電路模組透過上述印刷電路板，分別與上述第一記憶體插槽組和上述第二記憶體插槽組做電性連接。

伍、(一)、本案代表圖為：第3圖

(二)、本案代表圖之元件代表符號簡單說明：

200~主機板；

英文創作摘要 (創作名稱：)



四、中文創作摘要 (創作名稱：主機板)

201~CPU 插槽；

202~控制晶片組；

203~差動時脈產生器；

204、205、206、207~記憶體插槽；

208~終端電路模組(terminator circuit)；

2081~終端電阻(terminator resistor)；

212、213、214~PCI 插槽；

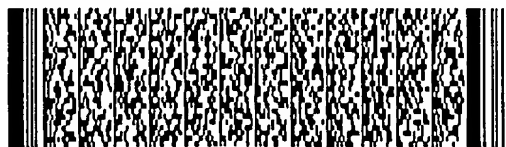
210、211~ISA 插槽；

2082~電容；

I~第一記憶體插槽組；

II~第二記憶體插槽組；

英文創作摘要 (創作名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

無

二、☐主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第九十八條第一項☐第一款但書或☐第二款但書規定之期間

日期：



五、創作說明 (1)

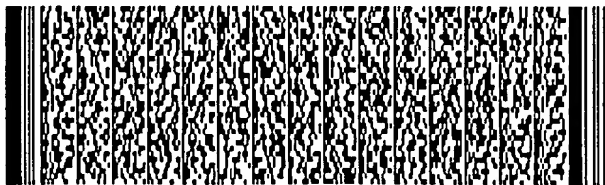
新型所屬之技術領域

本創作有關於一種主機板，特別有關一種具有雙通道記憶體插槽配置之主機板。

先前技術

雙倍資料速率動態隨機存取記憶體 (Double Data Rate DRAM, DDR DRAM) 是一種以目前PC100/PC133之同步隨機存取記憶體(SDRAM)為基礎發展而來的記憶體技術。不同於同步隨機存取記憶體(SDRAM)在每個電腦時脈周期只能支援一個運作，而雙倍資料速率雙列直插式記憶體模組(Dual In-line Memory Module, DDR DIMM)可以在每個時脈周期執行兩個運作。因此，加倍了記憶體的頻寬也提高資料的傳輸量。DDR記憶體技術被電腦業界挑選為2002年記憶體技術的主流產品，而且廣泛應用在許多不同的系統平台上，包括桌上型電腦、工作站、伺服器、筆記型電腦、攜帶型、電腦網路及通訊產品上。

由於DDR記憶體模組比SDRAM能增加更多的效能並且能降低成本之優質產品，而且DDR記憶體晶片能用現有的半導體晶圓廠很容易被製造及測試，不用再投資大量資金於設備及生產上。此外，DDR記憶體不但增加比SDRAM記憶體更多的記憶體頻寬及效能也廣泛使用在許多商業、多媒體及娛樂相關產品上；而正由於DDR記憶體的崛起，造成電腦主機板佈局的變革，而更衍生出雙通道(dual channel)形式，以兩條DDR記憶體設置在一雙列直插式記憶體模組(DIMM)為一組的記憶體插槽，利用雙通道雙倍資料速率

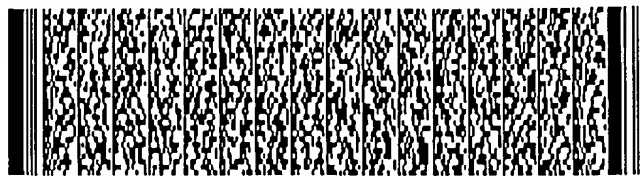
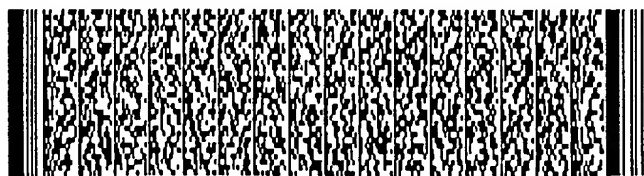


五、創作說明 (2)

(Dual Channel DDR)的架構可以有效的提昇記憶體再運作時的效能，使得記憶體的頻寬達到了4.27GB/秒之多，因為使兩個DDR DIMM具有相同的基準頻率，只是其中一個元件的時脈有90度(或者1/4周期)的相移。每個晶片根據DDR規範作業，每一時脈周期產生兩個數據位。如果數據位時間是理想的，在同一時間內可以讀取兩個晶片的數據，但通常由於數據位時序在數據位時間的開頭和結尾會產生不確定的變化(由於時脈抖動、偏移和最小/最大時脈到輸出的變化)。因此，實際提高記憶體存取速度的效能，約在三成左右。

習知支援雙通道DDR DIMM之主機板100，如第1圖所示，包括一CPU插槽101、控制晶片組102、差動時脈產生器103、記憶體插槽104、105、106以及107、終端電路模組(terminator circuit)108、終端電阻109；由於DDR DIMM需要提供一終端電路模組108於記憶體插槽104、105、106以及107排列後之一端，以提供終端電壓 V_{TT} 以吸收反射電波，同時DDR DIMM接收資料匯流排更需設置提升電阻(full-up resistor)。

第2圖顯示習知主機板配置示意圖，為簡略說明起見，與第1圖相同之元件編號仍沿用之。串聯電阻110連接控制晶片組102以及記憶體插槽104、105、106以及107之間，作為提升電阻。而終端電路模組108設置於所有記憶體插槽104、105、106以及107之同側，終端電阻109、記憶體插槽104、105、106以及107以及串聯電阻110連接至



五、創作說明 (3)

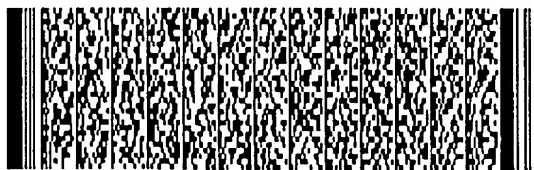
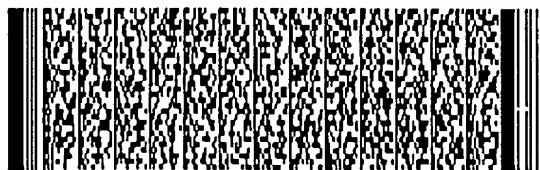
同一終端電壓 V_{TT} 。

由於，習知支援雙通道之主機板100之記憶體插槽104、105、106以及107，係以交錯方式分組，亦即記憶體插槽104、106為第一記憶體插槽組A，而記憶體插槽105、107為第二記憶體插槽組B，造成同組記憶體插槽間距離增加，且距離終端電路模組108較遠，電波反射距離亦增加；而終端電路模組108於記憶體插槽104、105、106以及107排列後之一端的另一缺點是，與控制晶片組102以及其欲終止電壓之記憶體插槽位置較遠，導致反射電波大，雜訊干擾大，使得DDR記憶體工作穩定性差。

新型內容

有鑑於此，本創作的目的就在於提供一種主機板，包括：一印刷電路板；一第一記憶體插槽組，設置於上述印刷電路板，具有一第一記憶體插槽和一第二記憶體插槽；一第二記憶體插槽組，設置於上述印刷電路板，具有一第三記憶體插槽和一第四記憶體插槽；以及一終端電路模組，設置於上述第一記憶體插槽組與上述第二記憶體插槽組之間，其中上述終端電路模組透過上述印刷電路板，分別與上述第一記憶體插槽組和上述第二記憶體插槽組做電性連接。

本創作的又一目的就在於提供一種主機板，包括：一電路板；一晶片組，設置於上述電路板；一第一記憶體插槽組，設置於上述電路板，具有一第一記憶體插槽和一第二記憶體插槽；一第二記憶體插槽組，設置於上述電路



五、創作說明 (4)

板，具有一第三記憶體插槽和一第四記憶體插槽；一終端電阻，設置於上述第一記憶體插槽組與上述第二記憶體插槽組之間；以及一串聯電阻，設置於上述晶片組與上述第一記憶體插槽組、上述第二記憶體插槽組之間；其中上述終端電阻透過上述電路板，分別與上述第一記憶體插槽組和上述第二記憶體插槽組做電性連接，並且上述終端電阻、上述第一記憶體插槽組以及上述第二記憶體插槽組連接至同一終端電壓。

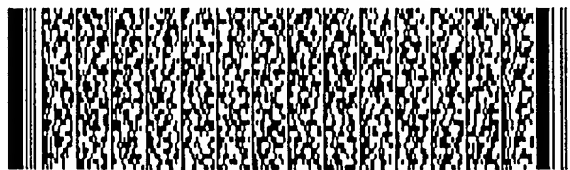
根據本創作主機板之配置，將同組之記憶體插槽相鄰設置，並以一終端電路模組，將兩記憶體插槽組隔開，使兩記憶體插槽組連接到同一終端電壓 V_{TT} ，以減低主機板在安裝雙通道DDR DIMM時之反射電波，增加工作電壓，以及節省主機板空間。

為了讓本創作之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

實施方式

請參閱第3圖，為本創作之主機板200上視圖，其中包括：一CPU插槽201、控制晶片組202、差動時脈產生器203、第一記憶體插槽組I、第二記憶體插槽組II、終端電路模組208、複數個PCI插槽212~214以及複數個ISA插槽210~211。

其中，第一記憶體插槽組I包括第一記憶體插槽204以及第二記憶體插槽205分別用以設置DDR記憶體；第二記



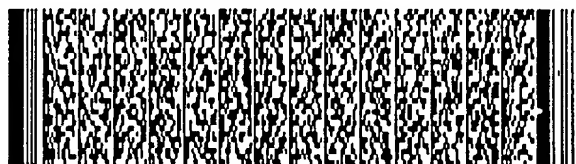
五、創作說明 (5)

記憶體插槽組 II 包括第三記憶體插槽206 以及第四記憶體插槽207 分別用以設置DDR 記憶體；終端電路模組208 包括複數個終端終端電阻2081 與複數個電容2082，且該等終端電阻2081 與該等電容2082 係以交錯方式排列，且彼此電性連接。

此外，CPU 插槽201 為供插入CPU 之插槽；控制晶片組202 為支援雙通道DDR 記憶體模組之控制晶片組，差動時脈產生器203 用以產生雙通道DDR 記憶體模組所需之差動時脈訊號。

終端電路模組208 設置於第一記憶體插槽組 I 以及第二記憶體插槽組 II 之間，完全區隔出第一記憶體插槽組 I 以及第二記憶體插槽組 II，使同組之記憶體插槽位於該終端電路模組208 之同側，且該終端電路模組208 用於供應第一記憶體插槽組 I 以及第二記憶體插槽組 II 所接收之資料匯流排所需之終端電壓，另外，終端電阻2081 用以吸收DDR 記憶體模組所接收之資料匯流排傳輸線之電波，減少反射電波，而電容2082 過濾高低頻雜訊，穩定終端電壓值。

第4 圖顯示本創作主機板配置示意圖，為簡略說明起見，與第3 圖相同之元件編號仍沿用之。串聯電阻210 連接控制晶片組202 以及第一記憶體插槽204 以及第二記憶體插槽205 之間，作為提升電阻。另一串聯電阻210 連接控制晶片組202 以及第三記憶體插槽206 以及第四記憶體插槽207，其中，第一記憶體插槽組 I 以及第二記憶體插槽組

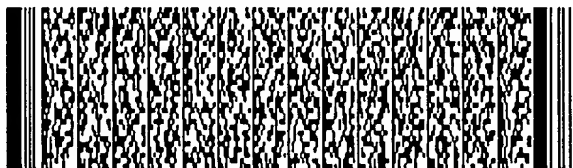


五、創作說明 (6)

II 與控制晶片組202之連接，係以印刷電路板上之不同通路，例如電路配置於印刷電路板上之兩面，以減少距離以及避免習知技術中第二記憶體插槽組 II 與控制晶片組202之連接需先經過第一記憶體插槽組 I 之電壓損耗。而終端電路模組208設置於第一記憶體插槽組 I 以及第二記憶體插槽組 II 之間，終端電阻2081、電容2082、第一記憶體插槽組 I、第二記憶體插槽組 II 以及其各自之串聯電阻210連接至終端電路模組208之同一終端電壓 V_{TT} 。

根據本創作之主機板配置，有效節省主機板空間，並以一組設置於記憶體插槽組 I、II 間之終端電路模組208，縮短第一記憶體插槽組 I 以及第二記憶體插槽組 II 與終端電路模組間之距離，減少反射電波，而不會影響到工作電壓；此外，終端電路模組中，過濾雜訊之電容2082以及吸收反射電波之終端電阻2081係以間隔交錯串聯方式排列，能降低終端電路模組之等效組抗(ESR)。

雖然本創作已以較佳實施例揭露如上，然其並非用以限定本創作，任何熟習此技藝者，在不脫離本創作之精神和範圍內，當可作些許之更動與潤飾，因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。

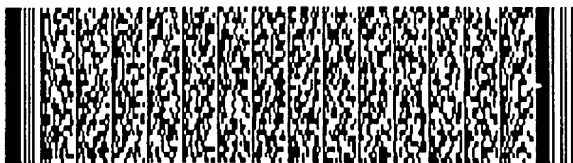


圖式簡單說明

- 第1圖為習知主機板上視圖；
- 第2圖顯示習知主機板配置示意圖；
- 第3圖為本創作主機板上視圖；
- 第4圖顯示本創作主機板配置示意圖。

符號說明

- 100、200~主機板；
- 101、201~CPU插槽；
- 102、202~控制晶片組；
- 103、203~差動時脈產生器；
- 104、105、106、107、204、205、206、207~記憶體插槽；
- 108、208~終端電路模組；
- 109、2081~終端電阻；
- 110、210~串聯電阻；
- 212、213、214~PCI插槽；
- 210、211~ISA插槽；
- 2082~電容；
- A、I~第一記憶體插槽組；
- B、II~第二記憶體插槽組。



六、申請專利範圍

1. 一種主機板，包括：

一印刷電路板；

一第一記憶體插槽組，設置於該印刷電路板，具有一第一記憶體插槽和一第二記憶體插槽；

一第二記憶體插槽組，設置於該印刷電路板，具有一第三記憶體插槽和一第四記憶體插槽；以及

一終端電路模組，設置於該第一記憶體插槽組與該第二記憶體插槽組之間，其中該終端電路模組透過該印刷電路板，分別與該第一記憶體插槽組和該第二記憶體插槽組做電性連接。

2. 如申請專利範圍第1項所述之主機板，其中該終端電路模組包括：複數個電阻與複數個電容彼此串聯。

3. 如申請專利範圍第2項所述之主機板，其中該等電阻與該等電容係以間隔交錯串聯方式排列，且彼此電性連接。

4. 一種主機板，包括：

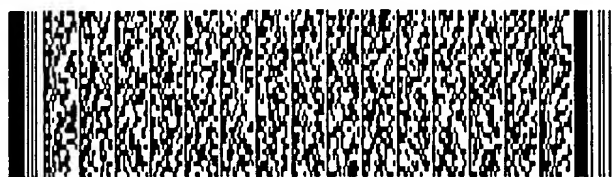
一電路板；

一晶片組，設置於該電路板；

一第一記憶體插槽組，設置於該電路板，具有一第一記憶體插槽和一第二記憶體插槽；

一第二記憶體插槽組，設置於該電路板，具有一第三記憶體插槽和一第四記憶體插槽；

一終端電阻，設置於該第一記憶體插槽組與該第二記憶體插槽組之間；以及



六、申請專利範圍

一 串聯電阻，設置於該晶片組與該第一記憶體插槽組、該第二記憶體插槽組之間；其中該終端電阻透過該電路板，分別與該第一記憶體插槽組和該第二記憶體插槽組做電性連接，並且該終端電阻、該第一記憶體插槽組以及該第二記憶體插槽組連接至同一終端電壓。

5. 如申請專利範圍第4項所述之主機板，更包括複數個電容，且該終端電阻排列於該等電容之間。

6. 一種印刷電路板之插槽裝置(slot apparatus)，包括：

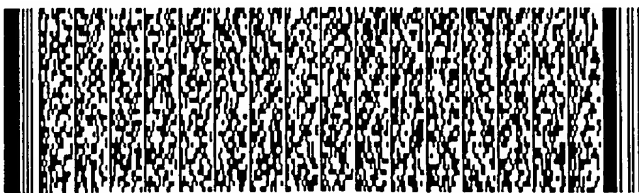
一 第一記憶體插槽組，設置於該印刷電路板上，具有一第一記憶體插槽和一第二記憶體插槽；

一 第二記憶體插槽組，設置於該印刷電路板上，具有一第三記憶體插槽和一第四記憶體插槽；

一 終端電阻(terminal resistor)，設置於該第一記憶體插槽組與該第二記憶體插槽組之間；以及

一 串聯電阻(serial resistor)，設置於該印刷電路板上，且透過該印刷電路板與該第一記憶體插槽組和該第二記憶體插槽組做電性連接；其中該終端電阻透過該電路板，分別與該第一記憶體插槽組和該第二記憶體插槽組做電性連接，並且該終端電阻、該第一記憶體插槽組以及該第二記憶體插槽組連接至同一終端電壓(terminator voltage)。

7. 如申請專利範圍第6項所述之印刷電路板之插槽裝置，更包括複數個電容，且該終端電阻排列於該等電容之

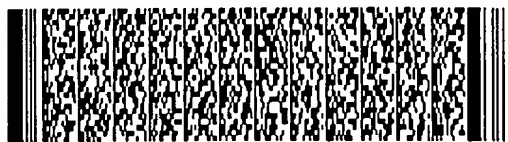


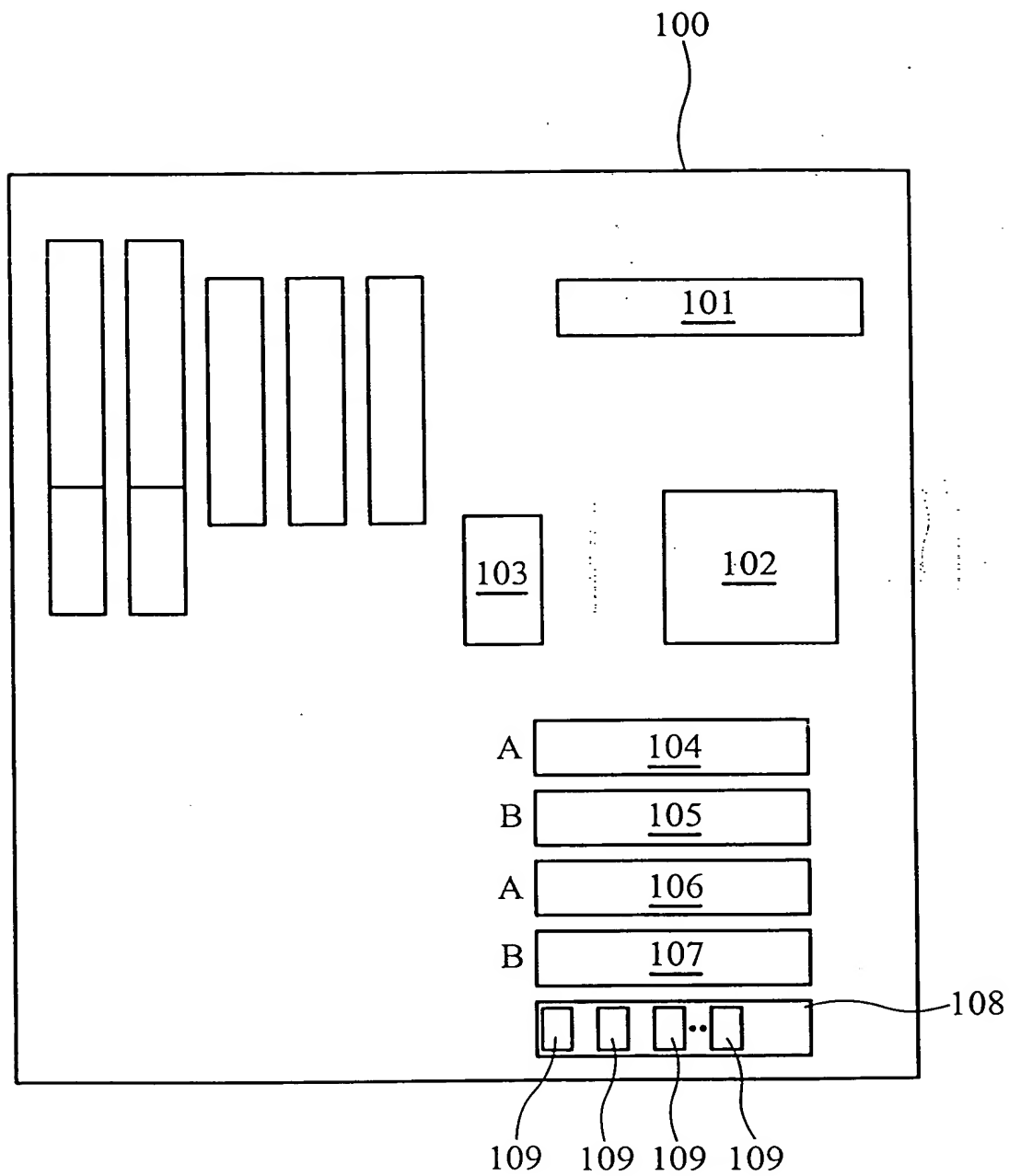
六、申請專利範圍

間。

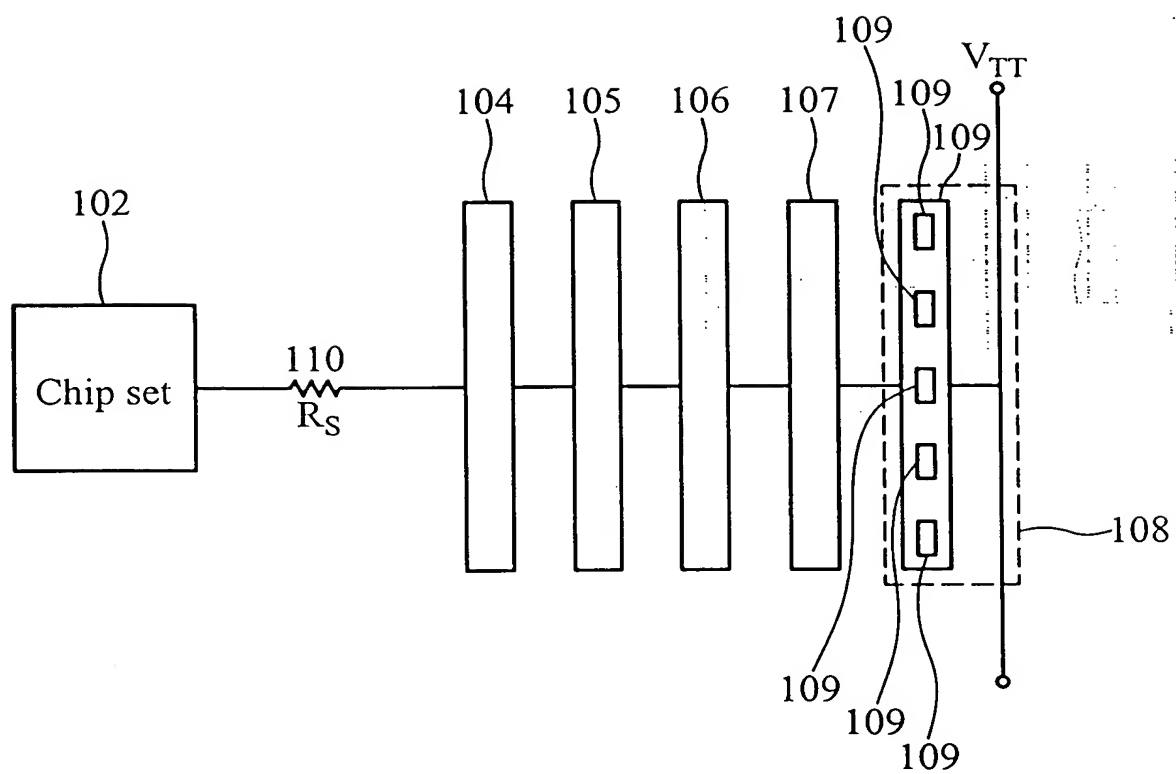
8. 如申請專利範圍第6項所述之印刷電路板之插槽裝置，其中該印刷電路板係為一主機板。

9. 如申請專利範圍第8項所述之印刷電路板之插槽裝置，更包括一晶片組，其中該晶片組係設置於該印刷電路板上，該串聯電阻設置於該晶片組與該第一記憶體插槽組、該第二記憶體插槽組之間。

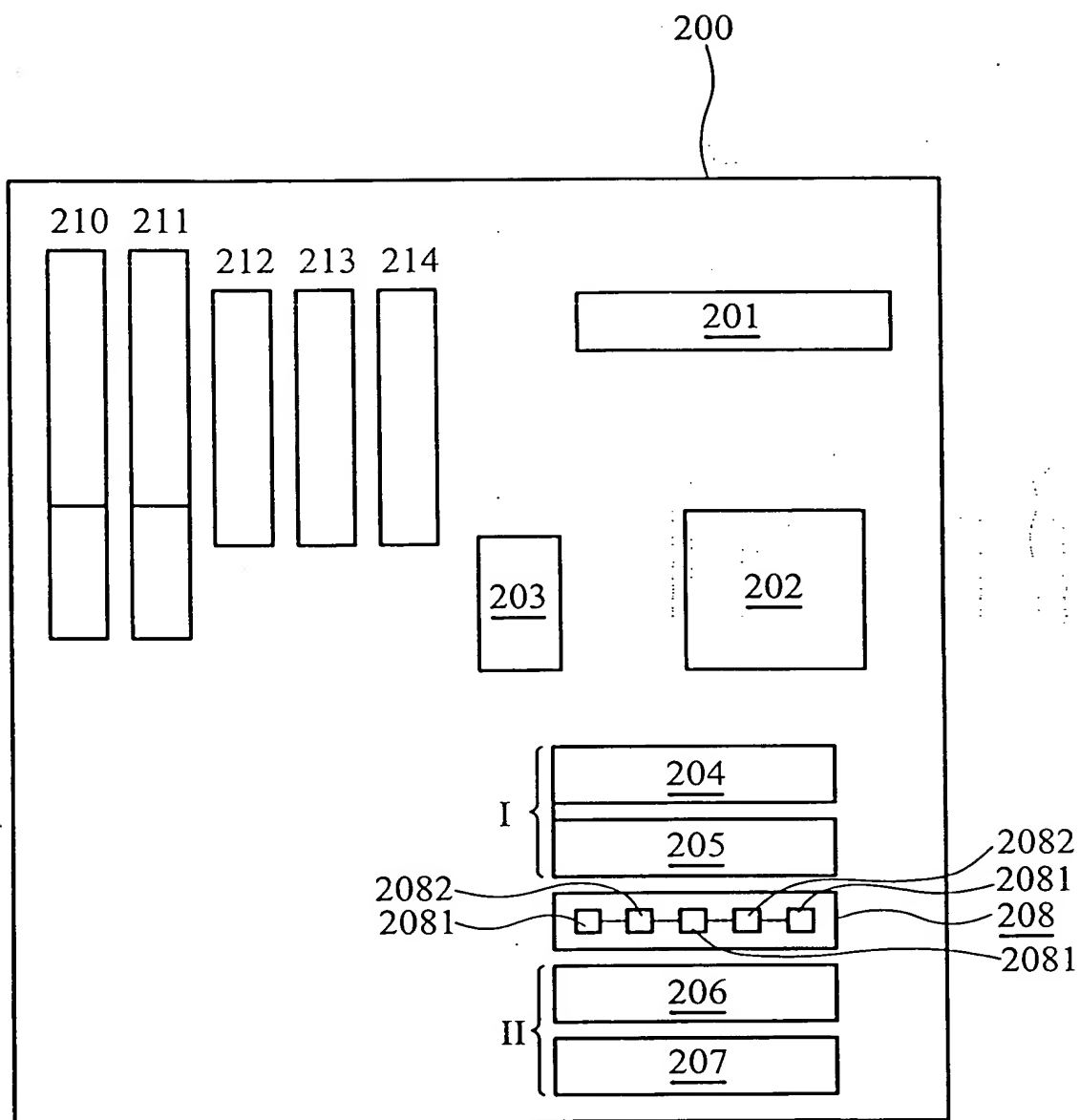




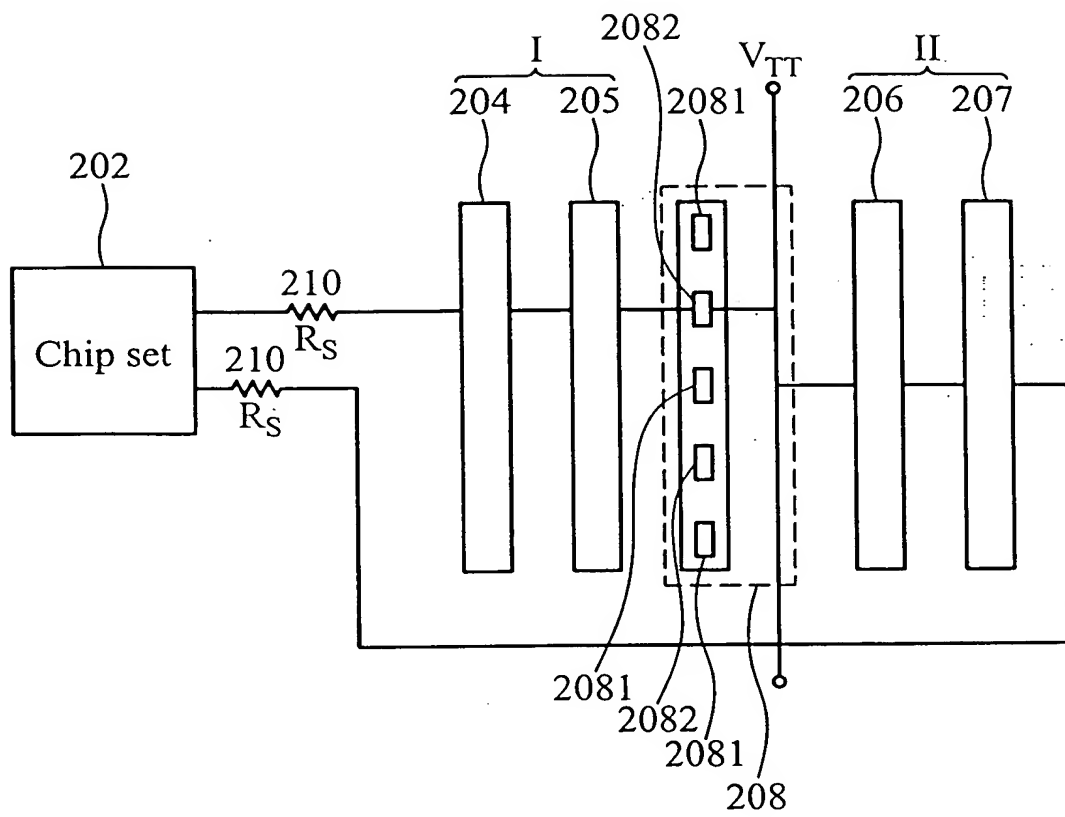
第 1 圖



第 2 圖

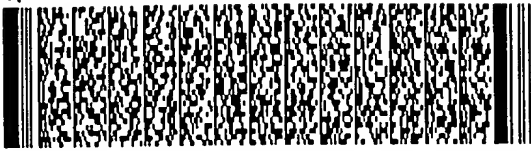


第 3 圖

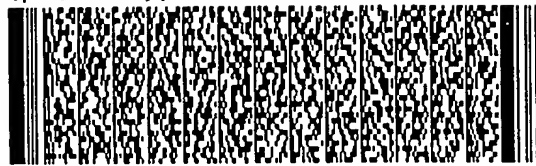


第 4 圖

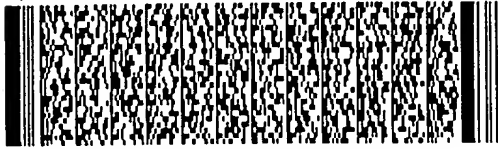
第 1/14 頁



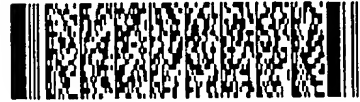
第 2/14 頁



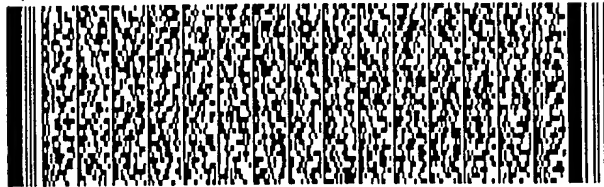
第 3/14 頁



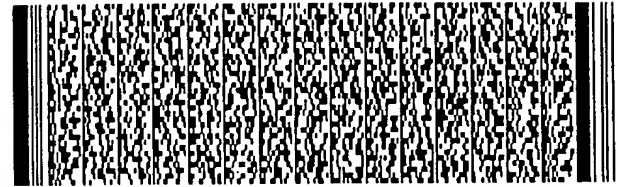
第 4/14 頁



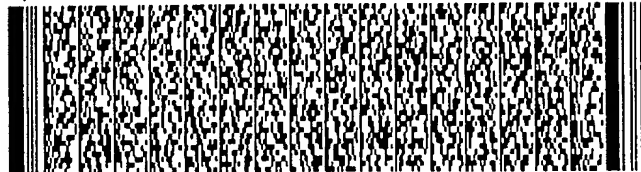
第 5/14 頁



第 5/14 頁



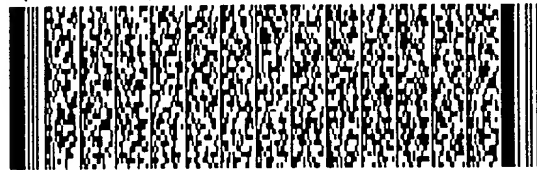
第 6/14 頁



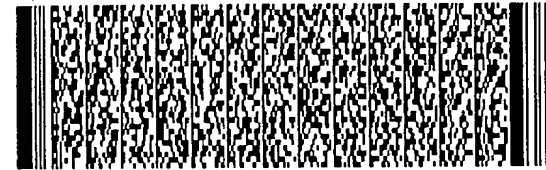
第 6/14 頁



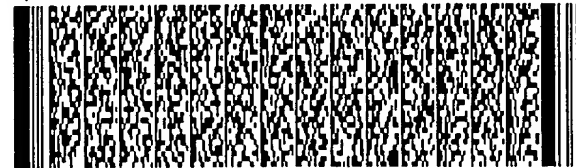
第 7/14 頁



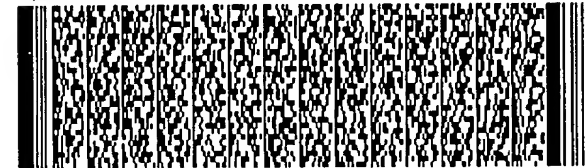
第 7/14 頁



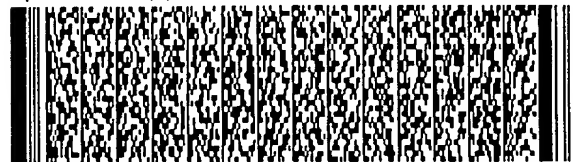
第 8/14 頁



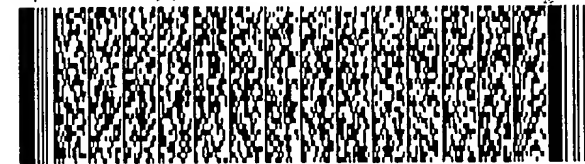
第 8/14 頁



第 9/14 頁



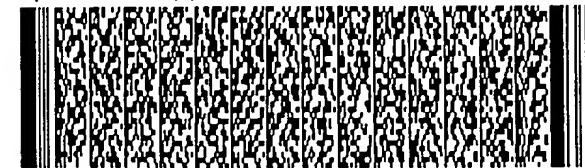
第 9/14 頁



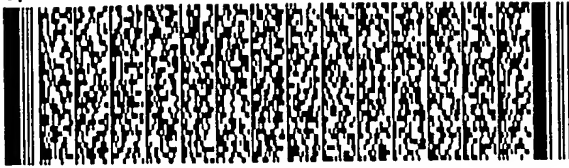
第 10/14 頁



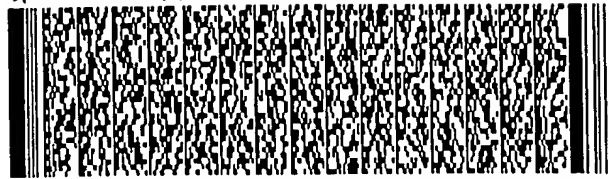
第 10/14 頁



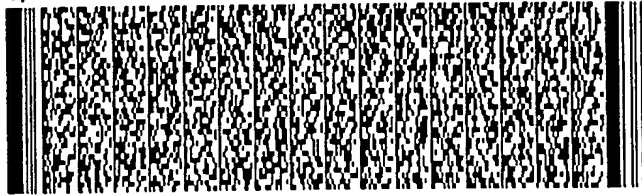
第 11/14 頁



第 12/14 頁



第 13/14 頁



第 14/14 頁

